



(19)

(11) Publication number: **10126191 A**

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **08270831**(51) Intl. Cl.: **H03H 7/075 H01F 27/00 H01F 17/00 H01G 4/40**(22) Application date: **14.10.96**

(30) Priority:	(71) Applicant: <b>MITSUBISHI MATERIALS CORP</b>
(43) Date of application publication: <b>15.05.98</b>	(72) Inventor: <b>KITAHARA NAOTO WADA HIDEAKI</b>
(84) Designated contracting states:	(74) Representative:

**(54) SOLID-STATE  
ELECTRONIC PARTS**

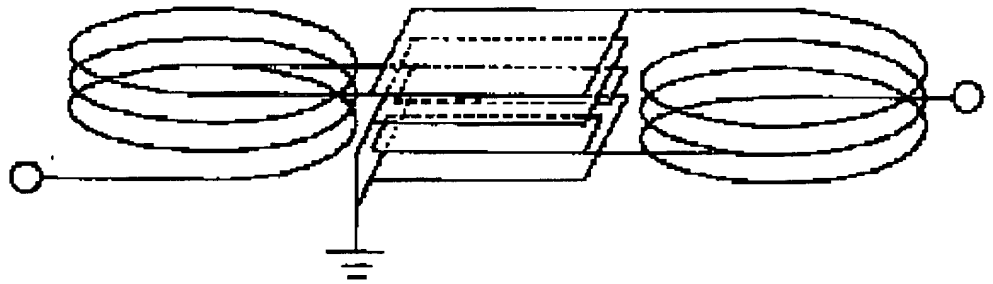
(57) Abstract:

**PROBLEM TO BE SOLVED:** To form a circuit of the desired characteristic within a substrate with no effects due to magnetic field by placing a capacitor consisting of parallel flat plates at a position that is held between two spiral structures which construct the inductors respectively.

**SOLUTION:** A substrate made of a mixture substance of magnetic and dielectric materials contains an inductor which has the spiral structures at its both sides. A capacitor is added at the center part between both spiral structures which construct the spirals inversely to each other. The magnetic fluxes inside of spirals are set in mutually parallel and oppositely directions to each other, and a magnetic closed circuit is formed as an entire substrate. Therefore, the magnetic field does

not substantially affect the part of the capacitor which is placed at the center part between both spiral structures. Thus, the capacitor do not receive adverse effects due to the magnetic field and can show its expected characteristic as it is. Furthermore, the magnetic flux which leaks out of the substrate is very weak, and the magnetic field does not substantially affect the nearby electronic parts.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-126191

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 3 H 7/075

H 0 3 H 7/075

A

H 0 1 F 27/00

H 0 1 F 17/00

D

17/00

15/00

D

H 0 1 G 4/40

H 0 1 G 4/40

3 2 1 A

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平8-270831

(22) 出願日

平成 8 年(1996)10月14日

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町 1 丁目 5 番 1 号

(72) 発明者 北原 直人

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社生産技術センター内

(72) 発明者 和田 秀晃

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社生産技術センター内

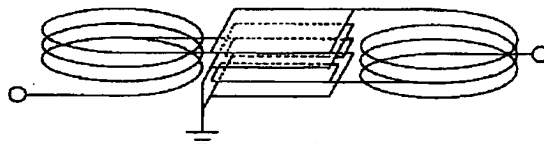
(74) 代理人 弁理士 小杉 佳男 (外 1 名)

(54) 【発明の名称】 固体電子部品

(57) 【要約】

【課題】本発明は、磁性体材料と誘電体材料との双方を含有する基体の内部にインダクタとキャパシタが形成されてなる固体電子部品に関し、スパイラル構造のインダクタと、キャパシタを、同一の基体内に形成し、しかもインダクタで発生する磁界によるキャパシタへの悪影響を抑える。

【解決手段】磁気閉回路が形成されるように互いに逆向きの2つのスパイラル構造を有するインダクタを形成し、それら2つのスパイラル構造に挟まれた位置にキャパシタを形成する。



## 【特許請求の範囲】

【請求項1】 磁性体材料と誘電体材料との双方を含有する基体と、

前記基体内部に形成された、スパイラル構造内側の磁束が互いに並行かつ互いに逆向きとなるように、相互に並ぶとともに相互に接続されてなる2つのスパイラル構造を有するインダクタと、

前記基体内部に形成された、平行平板からなるキャパシタとを備えたことを特徴とする固体電子部品。

【請求項2】 前記キャパシタが、前記インダクタを構成する2つのスパイラル構造に挟まれた位置に形成されてなることを特徴とする請求項1記載の固体電子部品。

【請求項3】 前記キャパシタを構成する平行平板の一方が、前記インダクタの中間位置に接続されてなることを特徴とする請求項1又は2記載の固体電子部品。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁性体材料と誘電体材料との双方を含有する基体の内部にインダクタとキャパシタが形成されてなる固体電子部品に関する。

【0002】

【従来の技術】従来より、電子機器の高周波ノイズ対策用として、EMI (ElectroMagnetic Interference) フィルタが使用されている。一般にEMIフィルタは、コンデンサとインダクタとの個別素子を組み合わせられて構成されており、これら個別素子の組み合わせによる多くの型のEMIフィルタが提案されている。代表的なものとして、例えば1個のキャパシタと1個のインダクタとの組み合わせからなるL型のEMIフィルタや、2個のキャパシタと1個のインダクタとの組み合わせからなるπ (パイ) 型のEMIフィルタが知られており、これらのEMIフィルタにより電子機器のノイズ対策が行われている。

【0003】このように、それぞれが個別素子であるキャパシタとインダクタを組み合わせるEMIフィルタを構成するのではEMIフィルタ全体が大型化し、そのEMIフィルタを回路基板等に取り付けるにあたり広い面積を必要とし、また、個別素子を組み合わせるために工数もかかるという問題がある。近年、これらの問題を解決し1つのチップ内にキャパシタとインダクタを内蔵したフィルタが提案されている(特開平8-65080号公報、特開平8-148381号公報参照)。

【0004】これらの公報には、誘電体材料と磁性体材料との混合体からなる複数の層それぞれにインダクタおよびキャパシタとして作用する導電膜を形成し、それら複数の層を積層して焼成することに内部にフィルタが形成されたチップ状のフィルタ部品が提案されている。

【0005】

【発明が解決しようとする課題】前掲の公報に記載されたフィルタ部品内部に形成されたインダクタは、いずれ

も直線状の導体膜を、誘電体材料と磁性体材料との混合体で挟んだ形式のものであり、限られた寸法の中で大きなインダクタンスを得るのは難しい。大きなインダクタンスを得るために、誘電体材料と磁性体材料との混合体からなる、ある1つの層の上に半周もしくは一周する導電膜を形成し、スルーホール内の導体を経由して次の層に移り、その層の上でさらに半周ないし一周するというように、複数層に跨ってスパイラル構造のインダクタを形成することが考えられる。本発明者らは、そのような考え方のもとに試作を行なったが、そのようなスパイラル構造のインダクタを混合体基体内に単純に形成すると、その磁力が、その基体内部の、インダクタに隣接して形成されたキャパシタに悪影響を及ぼし特性が著しく劣化するという問題がある。

【0006】本発明は、上記事情に鑑み、スパイラル構造のインダクタと、キャパシタを、同一の基体内に形成し、しかもインダクタで発生する磁界によるキャパシタへの悪影響を抑えた固体電子部品を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成する本発明の固体電子部品は、磁性体材料と誘電体材料との双方を含有する基体と、その基体内部に形成された、スパイラル構造内側の磁束が互いに並行かつ互いに逆向きとなるように、相互に並ぶとともに相互に接続されてなる2つのスパイラル構造を有するインダクタと、その基体内部に形成された、平行平板からなるキャパシタとを備えたことを特徴とする。

【0008】本発明の固体電子部品は、スパイラル構造内側の磁束が互いに平行かつ逆向きとなるように2つのスパイラル構造を有するインダクタを備えたため、そこに磁気閉回路が形成され、その磁束の通路以外の場所にキャパシタを配置してもほとんど磁場の影響を受けず、その基体内に所望の特性の回路を形成することができる。

【0009】ここで、上記本発明の固体電子部品において、キャパシタが、インダクタを構成する2つのスパイラル構造に挟まれた位置に形成されてなることが好ましい。このように、キャパシタを、2つのスパイラル構造に挟まれた位置に形成すると、スペースの無駄が省かれ、小型化に寄与する。また、上記本発明の固体電子部品は、キャパシタを構成する平行平板の一方が、インダクタの中間位置に接続されてなるものであってもよい。ここで中間位置は、中央である必要はなく、そのインダクタの途中のどこかの位置を意味する。

【0010】このように中間位置に接続することにより、所望のフィルタ回路を構成することができる。

【0011】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1は、本発明の固体電子部品の一実施形態

の分解斜視図、図2は、その外観図、図3は、その等価回路図である。この実施形態の固体電子部品は、図1に示すように誘電体材料と磁性体材料との混合体からなる各層の上に、図1に斜線を付して示す形状の導体膜1、2、3、4が形成された4層から構成されている。隣接する層を構成する導体膜は、スルーホール12a、12b；23a、23b；34a、34b内の導体により電氣的に接続されている。

【0012】ここでは、4層に跨る両側の導体膜1a、2a、3a、4a；1c、2c、3c、4cにより、それぞれスパイラル構造の導体膜が形成されており、かつ、これらは相互に逆方向にスパイラルをなしており、さらに、第4層の導体膜4bを介して相互に接続されている。また、これら4層の中央の部分の導体膜1b、2b、3b、4bにより、キャパシタが形成されている。これにより、全体として、図3の等価回路に示す多段型のLCフィルタ回路が形成されている。

【0013】ここで、両端のスパイラル構造の端部は、第1層の導体膜1a、1cが、各層が重ねられてなる基体の端面から露出することにより、図2に示す、それぞれ端子電極51、端子電極52に接続されており、第1層の中央の導体膜1bと第3層の中央の導体膜3bは、基体の側面から露出することにより、図2に示す、アース電極53に接続されている。

【0014】図4は、図1に示す構造のフィルタ回路の模式配置図、図5は、2つのスパイラル構造に跨る磁場を示した模式図である。図1に示す構造のフィルタ回路は、図4に示すように、両側にスパイラル構造を有するインダクタを備え、それら2つのスパイラル構造の中央にキャパシタを備えている。これら2つのスパイラル構造は互いに逆向きのスパイラルを成しており、したがってこれら2つのスパイラル構造内側の磁束は、互いに平行かつ互いに逆向きとなり、全体として図5に示すような磁気閉回路を形成する。このため、それら2つのスパイラル構造の中央部分に配置されたキャパシタの部分には、磁界はほとんど作用せず、これらのキャパシタは、磁界による悪影響を受けずに所期の特性をそのまま発揮できる。

【0015】また、2つのスパイラル構造間で磁気閉回路が形成されているため、この電子回路部品の外に洩れ出る磁束も極めて弱く、この電子回路部品近傍に他の回路素子が配置されても、その回路素子へは磁界はほとんど作用しない。図6～図14は、図1に分解斜視図を示す固体電子部品の各製造工程を示す図である。各図の(A)は平面図、各図の(B)は、図8に代表して示す矢印A-Aに沿う断面図である。

【0016】ここでは、例えばNi-Znフェライトを主成分とする磁性体材料を混合、仮焼し、適切な粒径となるように粉碎した磁性体仮焼粉と、例えばPbTiO<sub>3</sub>を主成分とする誘電体材料を混合、仮焼し、適切な粒

径になるように粉碎した誘電体仮焼粉を、適切な割合で混合し、分散剤、バインダー、可塑剤、溶剤等を添加して誘電体磁性体混合ペーストを作製し、以下に説明するようにして、このようにして作製された誘電体磁性体混合ペーストと、Ag又はPdを主成分とする導電ペーストとを交互にスクリーン印刷しながら積層し、必要に応じて切断を行なってグリーン積層体を形成する。この積層体に、脱バインダー処理を施し、さらに焼成して焼成体を形成し、この焼成体に、例えばAgを主成分とする導電ペースト等を用いて端子電極51、52およびアース電極53（図2参照）を形成し、これにより固体電子部品が完成する。

【0017】以下、各図に沿って、図1に示す固体電子部品の各工製造工程を説明する。まず、図6に示すように、上述のようにして作製された誘電体磁性体ペーストからなるベース基板100を形成し、そのベース基板100上に、導電ペーストにより第1層目の導体膜1a、1b、1cをスクリーン印刷により形成する（図7）。さらにその上に、誘電体磁性体混合ペーストを、スルーホール12a、12bが形成されるようにスクリーン印刷して誘電体磁性体混合層101を形成する（図8）。さらに、同様にして、導電ペーストにより、2層目の導体膜2a、2b、2cを形成する（図9）。このとき、スルーホール12a、12b内にも導電ペーストが充電され、第1層の導体膜との電氣的な接続がなされる。さらにその上に、スルーホール23a、23bが形成されるように誘電体磁性体混合層102を形成し（図10）、その上に第3層の導体膜3a、3b、3cを形成する（図11）。さらにその上に、スルーホール34a、34bが形成されるように誘電体磁性体混合層103を形成し（図12）、その上に第4層の導体膜4a、4b、4cを形成し（図13）、さらにその上にベース基板104を形成する。

【0018】このような積層体を形成した後、前述したように、この積層体に脱バインダー処理を施し、さらに焼成して焼成体を形成し、図2に示す端子電極51、52、およびアース電極53を形成する。このような製造工程を経ることにより、図1、図2に示す構造の固体電子部品が製造される。

【0019】ここで、上記の製造工程中、図8に示す工程から図11に工程を繰り返すことにより、さらに多段のフィルタ回路を構成することもできる。

【0020】

【実施例】ここでは、先ず比較例の構造について説明し、次いで、図1に示す構造の実施例と、以下に説明する比較例とを対比する。図15は、比較例の分解斜視図、図16は、その比較例のフィルタ回路の模式配置図、図17は、図15に示す比較例についての、スパイラル構造の磁場を示した模式図である。

【0021】図15に示す比較例は、図1に示す固体電

子部品と比べ、導電膜のパターンやスルーホールの一が異なる。これにより、図16に示すように、中央部分にスパイラル構造のインダクタ、両側にキャパシタが形成されている。尚、外観、等価回路は図1に示す固体電子部品の外観（図2参照）、等価回路（図3参照）と同一である。

【0022】図15に示す構造の場合、図17に示すように、スパイラル構造のインダクタによって生成される磁界は、そのままそのインダクタに隣接するキャパシタに影響を及ぼすことになる。図18は、図1に示す左右2箇所巻スパイラル構造のフィルタ（実施例）と、図15に示す中央1箇所巻スパイラル構造のフィルタ（比較例）のフィルタ特性の実験データを示す図である。

【0023】ここでは、以下の実験条件を採用した。

（a）材料組成：Ni-Zn-Cu系フェライト：PbTiO<sub>3</sub>、系誘電体=6：4

（b）導電材料：Ag/Pd

（c）層間厚み：12μm

（d）インダクタ：内断面積0.71mm<sup>2</sup>、線幅0.20mm

（e）キャパシタ：対向電極面積0.64mm<sup>2</sup>（1層当たり）

（f）上述した製造工程中、図8に示す工程から図11に示す工程を2回繰り返す。すなわち図1、図15に示す第2層、第3層を交互に二重に形成する。

【0024】以上の条件により、図1に示す構造の実施例と図15に示す構造の比較例（ただし層の数は図1、図15に示すものよりも多い）を構成し、それらの特性を測定した結果、図18に示すように、減衰係数は、実施例の場合37.1dB/dec、比較例の場合14.4dB/dec、であり、特性を大きく向上させることができた。これは、磁気閉回路を形成することによりキャパシタに及ぼす影響が大幅に低減されたためであると考えられる。

【0025】

【発明の効果】以上説明したように、本発明によれば、キャパシタと、そのキャパシタへの悪影響を抑えたスパイラル構造のインダクタとを内蔵した固体電子部品が構成される。

【図面の簡単な説明】

【図1】本発明の固体電子部品の一実施形態の分解斜視図である。

【図2】本発明の固体電子部品の一実施形態の外観図で

ある。

【図3】本発明の固体電子部品の一実施形態の等価回路図である。

【図4】図1に示す構造のフィルタ回路の模式配置図である。

【図5】2つのスパイラル構造に跨る磁場を示した模式図である。

【図6】図1に分解斜視図を示す固体電子部品各製造工程中の第1工程を示す図である。

10 【図7】図1に分解斜視図を示す固体電子部品の各製造工程中の第2工程を示す図である。

【図8】図1に分解斜視図を示す固体電子部品の各製造工程中の第3工程を示す図である。

【図9】図1に分解斜視図を示す固体電子部品の各製造工程中の第4工程を示す図である。

【図10】図1に分解斜視図を示す固体電子部品の各製造工程中の第5工程を示す図である。

【図11】図1に分解斜視図を示す固体電子部品の各製造工程中の第6工程を示す図である。

20 【図12】図1に分解斜視図を示す固体電子部品の各製造工程中の第7工程を示す図である。

【図13】図1に分解斜視図を示す固体電子部品の各製造工程中の第8工程を示す図である。

【図14】図1に分解斜視図を示す固体電子部品の各製造工程中の第9工程を示す図である。

【図15】比較例の分解斜視図である。

【図16】図15に示す比較例の模式配置図である。

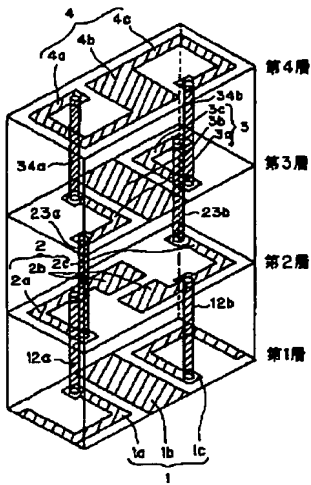
【図17】図15に示す比較例についての、スパイラル構造の磁場を示した模式図である。

30 【図18】図1に示す左右2箇所巻スパイラル構造のフィルタ（実施例）と、図15に示す中央1箇所巻スパイラル構造のフィルタ（比較例）のフィルタ特性の実験データを示す図である。

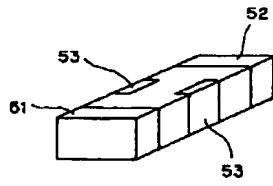
【符号の説明】

1, 1a, 1b, 1c, 2, 2a, 2b, 2c, 3, 3a, 3b, 3c, 4, 4a, 4b, 4c 導体膜  
12a, 12b, 23a, 23b, 34a, 34b  
スルーホール  
51, 52 端子電極  
40 53 アース電極  
100, 104 ベース基板  
101, 102, 103 誘電体磁性体混合層

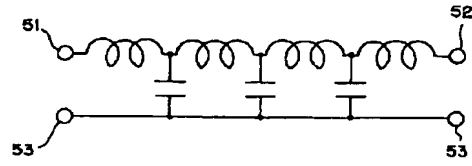
【図1】



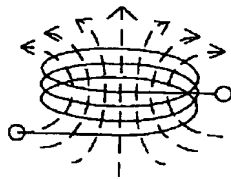
【図2】



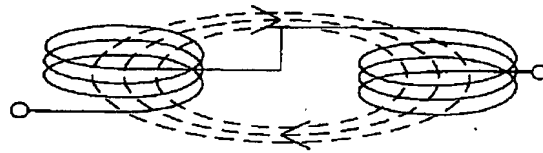
【図3】



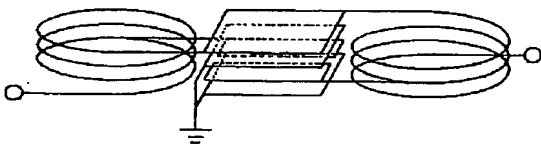
【図17】



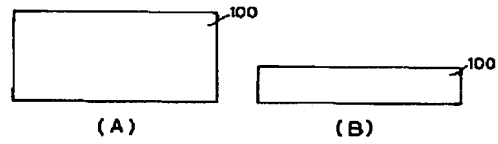
【図5】



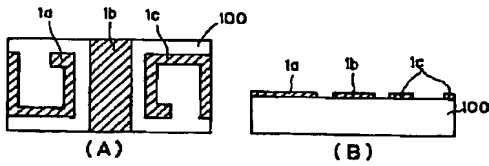
【図4】



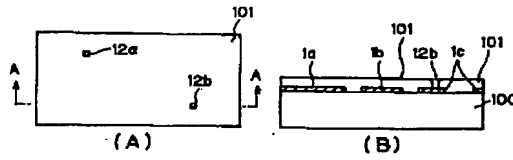
【図6】



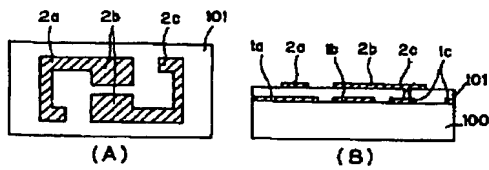
【図7】



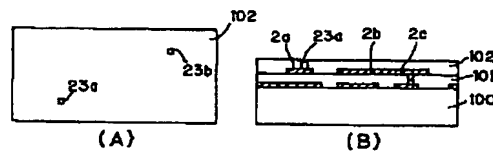
【図8】



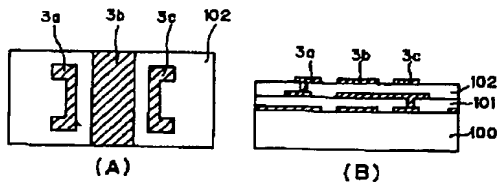
【図9】



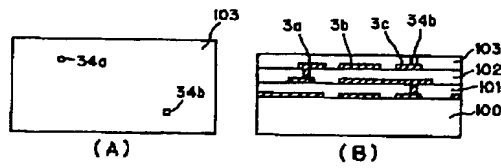
【図10】



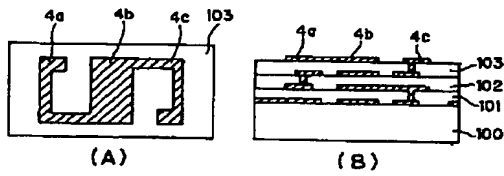
【図11】



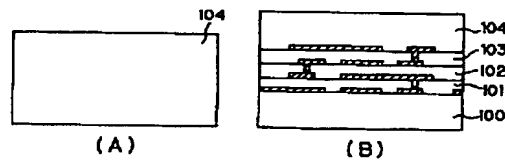
【図12】



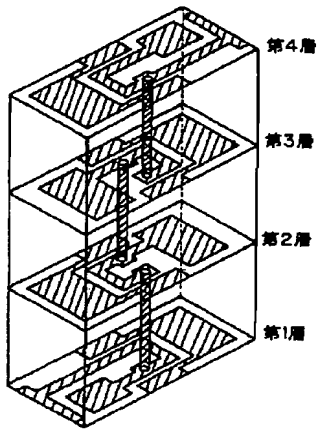
【図13】



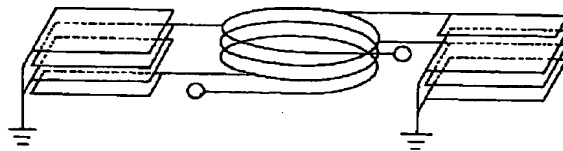
【図14】



【図15】



【図16】



【図18】

